

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 6月 5日
Date of Application:

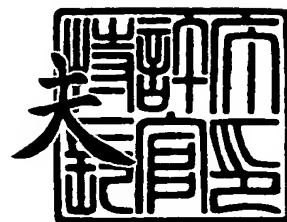
出願番号 特願2003-160232
Application Number:
[ST. 10/C]: [JP 2003-160232]

出願人 沖電気工業株式会社
Applicant(s):

2003年 9月 9日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3073995

【書類名】 特許願

【整理番号】 OH003823

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/321
H01L 21/60

【発明者】

【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

【氏名】 加藤 且宏

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100085419

【弁理士】

【氏名又は名称】 大垣 孝

【手数料の表示】

【予納台帳番号】 012715

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 チップ基板表面に設けられたヒューズ端子と、
該チップ基板表面の上側に設けられ、該チップ基板表面から頂面までの高さが、前記ヒューズ端子の頂面より高くして設けられた放電寄与端子とを具えることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、
前記放電寄与端子は、チップ端子であることを特徴とする半導体装置。

【請求項 3】 請求項 1 に記載の半導体装置において、
前記放電寄与端子を、ヒューズ端子を取りまくように設けられたダミー端子で構成することを特徴とする半導体装置。

【請求項 4】 請求項 3 に記載の半導体装置において、
前記ダミー端子が、基準電圧電源に電氣的に接続されていることを特徴とする半導体装置。

【請求項 5】 複数の導電層を順次に直接積層し、最上位の導電層上にバンプを設けてヒューズ端子を形成し、
複数の導電層を順次に層間絶縁膜を介在させて積層し、最上位の導電層上にバンプを設けて放電寄与端子を形成し、
前記ヒューズ端子における導電層の積層数と、前記放電寄与端子における導電層の積層数を同一数とし、かつ、前記ヒューズ端子及び放電寄与端子における互いに同一の積層番目の導電層は、同一材料で同一に成膜することを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 5 に記載の半導体装置の製造方法において、
順次の前記導電層間に介在させる、複数の前記層間絶縁膜を、それぞれ前記ヒューズ端子の形成領域及び前記放電寄与端子の形成領域に亘って成膜し、
前記層間絶縁膜の前記ヒューズ端子の形成領域内の膜部分を、該層間絶縁膜上に導電層を形成する前に除去することを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 5 又は 6 に記載の半導体装置の製造方法において、
前記ヒューズ端子と前記放電寄与端子とを離間して形成する
ことを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 5 ～ 7 のいずれか一項に記載の半導体装置の製造方法
において、

前記放電寄与端子を、前記ヒューズ端子の周囲を囲むように形成する
ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置、特に静電破壊を防止するための外部接続端子に関する。

【0002】

【従来の技術】

近年、高密度実装に優れた COG (Chip on glass) 方式が急速に普及してきている。COG 方式は、半導体デバイスチップに直に基板実装用の金バンプ又はハンダバンプを形成し、このデバイスチップ上のバンプを、ガラスやセラミックの基板にプリントされた金属配線と接着することによって、外部機器と接続する実装形態のことである。基板への実装面積がデバイスチップと同じサイズであるため、極めて高密度の実装が可能である。

【0003】

また、ある種の半導体集積回路（以下、半導体デバイス又はデバイスと称する。））、例えば、マイクロコントローラや通信用 LSI などいわゆるシステム LSI に代表されるような半導体デバイスでは、外部電源から供給される電圧をそのままデバイスの動作には使用せず、電圧調整をおこなって内部動作に使用する。電圧調整は、ダイオードの順方向電圧等を利用してデバイス内で基準電圧を生成し、生成された基準電圧をオペアンプで増幅して行っている。このような電圧調整をおこなうのは、外部電源からの供給電圧が不安定な場合に、デバイスが正常に機能しなくなるのを避けるためである。

**【0004】**

さらに、これらデバイスの中で、特に基準電圧に敏感なものは、出力電圧調整用にヒューズ端子を搭載している。オペアンプを構成するトランジスタが、ウェハごと或いはチップごとで、閾値電圧にある程度のバラツキを持つ場合がある。閾値電圧が変わると、オペアンプの増幅特性も変化する。オペアンプの出力電圧が所望の値から外れてしまった場合に、特定のヒューズを切断することでオペアンプのフィードバック抵抗（帰還抵抗）の抵抗値を調整して、出力電圧を一定の値に合わせ込んでいる。

【0005】

最近のデバイスの低電圧化に合わせて基準電圧も下がってきているため、閾値電圧のバラツキの影響を受けやすくなっている。よって、このようなヒューズを搭載したデバイスが増える傾向にある。

【0006】

図9を参照して、ヒューズを搭載した増幅回路の一例を説明する。

【0007】

図9（A）に一般的なオペアンプを用いた増幅回路の例を示す。デバイス内で作成した基準電圧 V_0 は、オペアンプ200によって増幅されて、出力電圧 V_0' として出力され例えばデバイスの駆動に用いられる。オペアンプ200の出力電圧 V_0' は、抵抗素子202の抵抗値 R_i 及び帰還抵抗204の抵抗値 R_f によって決まる。抵抗素子202は抵抗値の変化しない固定抵抗素子で構成され、帰還抵抗204は可変抵抗素子で構成されている。オペアンプの出力電圧 V_0' が所望の値からはずれてしまった場合には、帰還抵抗204の抵抗値 R_f を変化させることにより、出力電圧 V_0' を調整する。

【0008】

図9（B）は、帰還抵抗204の抵抗値調節用の回路を示したものである。帰還抵抗204は複数の抵抗素子（この例では8個）が直列に接続されている。この複数の抵抗素子それぞれに並列接続された、PMOSを組み合わせた抵抗値調整用の回路が具えられている。この抵抗値調整用の回路には、インバータを介して基準電圧が接続されており、さらに、ヒューズ206a～206cを介して接

地（GND）電位にも接続されている。また、基準電圧は、プルアップ抵抗素子 210a～210c を介して接続されている。ヒューズ 206a～206c には、ヒューズを切断するさいに、抵抗値調整用の回路を保護するための保護抵抗素子 208a～208c がそれぞれ具えられている。ヒューズ 206a～206c のヒューズを切断することにより、PMOS に送られる電圧の信号のハイレベル（VDD）或いはローレベル（GND）が変化するので、8つの直列接続された抵抗素子の一部を通らずに調整回路を短絡して電流が通る位置が変わり、帰還抵抗の抵抗値 R_f が変化する。

【0009】

図10は、一般的なCOG方式パッケージを概略的に表した図である。デバイスチップ230には、ヒューズ電極端子（以下、ヒューズ端子とも言う。）と保護回路を具えたチップ電極端子（以下、チップ端子とも言う。）が具えられている。デバイスチップ230の表面には、外周に沿って直線状にチップ端子のバンパ232が配置され、その内側の領域に、直線状に並んだ複数のヒューズ端子のバンパ234が配置されている。

【0010】

チップ端子に具えられる保護回路の一例を、図11に示す。保護回路は、チップ端子212と内部回路213の間に設けられている。チップ端子212と抵抗素子218の間に、基準電圧（VDD）に接続された保護ダイオード214と、接地電位（GND）に接続された保護ダイオード216が具えられ、抵抗素子218は、インバータ220を介して内部回路213に接続されている。この保護回路は、チップ端子に侵入した静電気サージを、保護ダイオード214を介してVDDへ或いは保護ダイオード216を介してGNDへ放出することにより、内部回路213を静電破壊から保護する。

【0011】

COG方式のパッケージでは、ヒューズを搭載した回路にも外部機器と接続するためのヒューズ端子が具えられる。従来からよく用いられている樹脂封止方式パッケージでは、ヒューズ端子は外部電源と接続する外部端子として引き出されず、樹脂に封入される。よって、静電気にさらされることが無いので、チップ端

子に具えられている保護回路がヒューズ端子には具えられていない。

【0012】

また、TAB (Tape Automated Bonding) 方式のパッケージにおいて、熱圧着のさいに内側にあるバンプ電極に接続するインナリードの熱膨張を抑制する方法として、外側にあるバンプ電極の高さを高くすることが提案されている（特許文献1参照）。特許文献1では、メッキ条件を調節することにより、近接するバンプ電極の高さを調節するとされているが、詳細な方法については明らかにされていない。

【0013】

異なる高さのバンプ電極を具える別の例として、外部基板とデバイスチップのバンプ電極の接合面の高さをずらして、熱サイクルによる隣接するバンプ電極間の接触を防ぐ方法が提案されている（特許文献2参照）。特許文献2では、接続されるデバイスチップ及び外部基板のバンプの高さを一方は高く、他方は低く形成する。さらにデバイスチップ及び外部基板上の隣接するバンプの高さが異なるようにも形成してあるため、隣接するバンプの接合面の高さが異なり、バンプ電極間の接触を防いでいる。

【0014】

【特許文献1】

特開平5-218130号公報（段落0010、図1）

【特許文献2】

特開平5-343407号公報（段落0015～0024、図1）

【0015】

【発明が解決しようとする課題】

従来の樹脂封入方式パッケージでは、ヒューズ端子は外部に引き出されないの
で、実装時に静電破壊をうけることはなく、保護回路を必要としていなかった。
COG方式パッケージでは、ヒューズ端子にも他のチップ端子と同様に接続用の
金属電極（バンプ）が形成され外部に接続する端子として引き出される。このた
め、ヒューズを搭載したデバイスチップでは、外部基板との接続時に、帯電した
外部基板による静電破壊が起りやすい。

【0016】

例えば、図12にCOG方式の実装工程における静電気放電現象の模式図を示す。

【0017】

外部機器接続用の外部基板240には、複数のデバイスチップが順に接続される。図12では、すでにデバイスチップ244が外部基板240へ接続されている。ここへ、図10に示したヒューズを搭載した回路を具えたデバイスチップ230を接続する。外部基板240は、ガラスやセラミックで形成されているので、非常に帯電しやすい。デバイスチップ230を、外部基板240に接続すると、ヒューズ端子234或いはチップ端子232に静電気の放電が起こる。チップ端子232に放電がおこった場合には、保護回路を具えているので静電破壊は起こらない。しかしながら、ヒューズ端子234へ静電気の放電246がおこった場合には、静電破壊が起こる。すなわち、デバイスの回路内のヒューズが切断されてしまい、所望の抵抗値へ調節した抵抗値の値が変化してしまう。

【0018】

そこで、ヒューズ端子にチップ端子と同様の保護回路を搭載すると、チップの占有面積が増加する。よってチップサイズの増大を招くのでチップコストも高くなる。また、一般的な樹脂封入方式のチップは、ヒューズ端子に保護回路がないため、そのままCOG方式のチップとして転用することはできない。よって、新たにヒューズ端子に保護回路を設けたデバイスチップを開発する必要がある。

【0019】

以上のことから、ヒューズ端子を外部機器と接続するための外部基板へ直接接続するCOG方式パッケージの実装方式において、チップ面積の増大を抑制しつつ静電破壊から保護する方法が望まれていた。

【0020】**【課題を解決するための手段】**

この出願に係る発明者は、鋭意研究の結果、外部基板に帯電している静電気を、ヒューズ端子より背の高い、放電に寄与する端子へ放電すれば良いという結論に達した。

【0021】

そこで、この発明の半導体装置によれば、チップ基板表面に設けられたヒューズ電極端子と、チップ基板表面の上側に設けられ、チップ基板表面から頂面までの高さが、ヒューズ端子の頂面より高くして設けられた、放電に寄与する端子とを具えることを特徴とする。この放電に寄与する端子を、単に放電寄与端子とも称する。

【0022】

ここで、チップ基板表面とは、半導体デバイスチップが形成されている基板の表面のことを表し、素子間分離膜が形成されている場合は、その表面も含む。頂面とは、形成されているバンプ表面を表す。チップ基板表面から電極端子の頂面までの高さは、電極端子の頂面が平坦でない場合、頂面の最も高い位置までの高さを表す。ヒューズ端子とは、ヒューズ（例えば、可変抵抗素子の抵抗値を変えるためのヒューズ）を具えた回路に接続する電極端子である（以下、ヒューズ端子とも言う。）。

【0023】

この発明の半導体装置によれば、放電寄与端子の頂面がヒューズ端子の頂面よりも高く形成されているので、帯電した外部基板に実装するさいにヒューズ端子よりも先に放電寄与端子が接触し静電気が放電される。ヒューズ端子が外部基板の端子と接触するときには、すでに静電気は放電されているため、ヒューズ端子に対して静電気の放電が起こることはない。よって、ヒューズを搭載したデバイスの静電破壊を防ぐことができる。

【0024】

また、放電寄与端子の基板表面から頂面までの高さを、ヒューズ端子の基板表面から頂面までの高さより高く形成されているだけなので、ヒューズ端子に新たに保護回路を設ける必要が無く、チップ占有面積が増大しない。

【0025】

この発明の半導体装置の製造方法によれば、複数の導電層を順次に直接積層し、最上位の導電層上にバンプを設けてヒューズ端子を形成する。複数の導電層を順次に層間絶縁膜を介在させて積層し、最上位の導電層上にバンプを設けて放電

寄与端子を形成する。そして、ヒューズ端子における導電層の積層数と、放電寄与端子における導電層の積層数を同一数とし、かつ、ヒューズ端子及び放電寄与端子における互いに同一の積層番目の導電層は、同一材料で同一に成膜することを特徴とする。

【0026】

この発明の半導体装置の製造方法によれば、ヒューズ端子の導電層を直接積層するように形成する以外は、同一の材料で同一に成膜することにより、容易に放電寄与端子のチップ基板表面から頂面までの高さを、ヒューズ端子のチップ基板表面から頂面までの高さより高く形成することができる。また、一般的な製造工程を組み合わせているので、特殊な工程を加える必要が無く、広い範囲のデバイスに対して適用できる。

【0027】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態につき説明する。尚、各図は、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係を概略的に示してあるに過ぎず、この発明を図示例に限定するものではない。また、図を分かり易くするために、断面を示すハッチング（斜線）を省略する場合がある。また、以下の説明において、特定の材料及び条件等を用いることがあるが、これら材料及び条件は好適例の一つに過ぎず、従って、何らこれらに限定されない。また、各図において同様の構成成分については同一の番号を付して示し、その重複する説明を省略することもある。

【0028】

<第1の実施の形態>

図1及び2を参照して、この発明の第1の実施の形態に係る半導体装置について説明する。この実施の形態では、一例として、チップ基板にはシリコン基板を用い、放電に寄与する端子すなわち放電寄与端子はチップ端子（以下、チップ電極端子ともいう。）で構成され、ヒューズ端子（以下、ヒューズ電極端子ともいう。）とチップ端子とが隣接した領域に形成された場合につき説明する。

【0029】

図1は、第1の実施の形態の半導体装置10（以下、デバイスチップとも言う。）を上側から見た概略的平面図である。デバイスチップ10の上側表面には、ヒューズ端子のバンプ132a及びチップ端子のバンプ132bが具えられている。ヒューズ端子のバンプ132aは、デバイスチップ表面の内側に直線状に配置され、チップ端子のバンプ132bはデバイスチップ表面の外周に沿った外側表面に直線状に配置されている。図1中では、ヒューズ端子のバンプ132aを二重の四角形、チップ端子のバンプ132bを一重の四角形で表している。

【0030】

図2（A）は、この発明の第1の実施の形態の半導体装置の上面から見た各積層膜形成領域および開口領域のレイアウトを図1に示した領域Aについて表した図である。隣接した1つのヒューズ端子及び1つのチップ端子が形成されている範囲のみを抽出して示している。

【0031】

ヒューズ端子形成領域101a内には、ポリシリコン形成領域106aが設定され、ポリシリコン形成領域106aの内側に第1メタル形成領域116aが設定されている。第1メタル形成領域116aの内側に第2開口領域122aが設定され、第2開口領域122aの内側に第1開口領域112aが設定されている。第1開口領域112aの内側に第2メタル形成領域126aが設定され、第2メタル形成領域126aの内側に保護膜開口領域130aが設定されている。

【0032】

上述のように、各領域を設定することにより、後述するこの半導体装置の製造工程において、第2メタル膜のエッチングの際に、第1メタル膜も同時にエッチングされ、同一の形状に形成できる。またポリシリコン膜104aがエッチングのストッパーの役目を果たす。これにより、第2メタル膜124aの下層に第2層間絶縁膜118が残存する領域を形成することなく第2メタル膜124aの底面全体を第1メタル膜114a'に接続することができ、かつ、第1メタル膜114a'の下層に第1層間絶縁膜108が残存する領域を形成することなく第1メタル膜114a'の底面全体をポリシリコン膜104aに接続することができる。

【0033】

チップ端子形成領域内101bには、ポリシリコン形成領域106b、第1メタル形成領域116b及び第2メタル形成領域126bが同一の領域として設定されており、その内側に、保護膜開口領域130bが設定されている。ポリシリコン形成領域106b、第1メタル形成領域116b及び第2メタル形成領域126bは、第1層間絶縁膜108或いは第2層間絶縁膜118を介して絶縁されるように積層されていけばよいので、ここでは同一の大きさに設定したが、必ずしも同一の大きさである必要はない。

【0034】

図2(B)は、図2(A)に示した破線X-X'による断面図である。シリコン基板100表面には、素子間分離領域としてフィールド酸化膜102が形成されている。このフィールド酸化膜102上のヒューズ端子形成領域101a及びチップ端子形成領域101bに、それぞれ、ヒューズ端子103a及びチップ端子103bが形成されている。

【0035】

チップ端子形成領域101bには、フィールド酸化膜102上に、ポリシリコン膜104b、第1層間絶縁膜108、第1メタル膜114b、第2層間絶縁膜118、第2メタル膜124b、保護膜128が順に積層されている。保護膜128は、第2メタル形成領域126b内の保護膜開口領域130bに保護膜開口部129bが形成されている。第2メタル膜124b上の保護膜開口領域130bを内部に含む領域にバンプ132bが形成されている。第2メタル膜124b及びバンプ132bによって、チップ端子103bを構成している。

【0036】

ヒューズ端子形成領域101aには、フィールド酸化膜102上に、チップ端子形成領域101bと同様にポリシリコン膜104a、第1層間絶縁膜108、第1メタル膜114a'、第2層間絶縁膜118、第2メタル膜124a、保護膜128が順に積層されている。第1層間絶縁膜108は、第1開口領域112aが開口され、ポリシリコン膜104aと第1メタル膜114a'とが直接接続されている。同様に、第2層間絶縁膜118は、第2開口領域122aが開口さ

れ、第1メタル膜114a'と第2メタル膜124aとが直接接続されている。保護膜128は、第2メタル形成領域126a内の保護膜開口領域130aに保護膜開口部129aが形成されている。第2メタル膜124a上の保護膜開口領域130aを内部に含む領域にバンプ132aが形成されている。ポリシリコン膜104a、第1メタル膜114a'、第2メタル膜124a及びバンプ132aによって、ヒューズ端子103aを構成している。

【0037】

ここで、バンプ132a及び132bは他の膜に比べて膜厚が非常に厚いため、中間部分を省略して示している。

【0038】

尚、上述したポリシリコン膜104a、104b、第1メタル膜114a'、114b及び第2メタル膜124a、124bは、全て導電膜（導電層ともいう。）であり、配線層を形成するときに、それぞれの配線層の一部分又は配線層から分離して形成される膜である。ここで説明する構成例では、ポリシリコン膜104a、第1メタル膜114a'、第2メタル膜124a及びバンプ132aは、ヒューズ端子を構成しており、また、第2メタル膜124b及びバンプ132bは、放電寄与端子兼チップ端子を構成している。上述のヒューズ端子及び放電寄与端子の構成は、説明をするうえでこのように設定したものであり、どの導電層までをヒューズ端子及び放電寄与端子とするかは、上述の説明のように限定されるものではない。

【0039】

ヒューズ端子103a及びチップ端子103bは、いずれかの上述の導電層によって、デバイスチップの電源配線に電氣的に接続されている。

【0040】

後述するように、ヒューズ端子形成領域101a及びチップ端子形成領域101bにおいて、積層されている名称が同じである各膜は、同時に形成されているので、同じ膜厚に形成されている。

【0041】

ここで、積層されている膜のそれぞれの膜厚を、ポリシリコン膜：h1、第1

層間絶縁膜：h 2、第1メタル膜：h 3、第2層間絶縁膜：h 4、第2メタル膜：h 5、保護膜：h 6及びバンプ：h 7とする。チップ基板表面136は、各端子の頂面の高さを比較する基準になる。ここでは、基準となるチップ基板表面136として、各端子が形成されているフィールド酸化膜102の表面を用いている。図2（B）では、それぞれの膜厚を矢印によって示している。ヒューズ端子103aのチップ基板表面136から頂面138aまでの高さ（すなわち背丈）Hfは、h 1、h 3、h 5、h 6及びh 7の和であり、チップ端子103bのチップ基板表面136から頂面138bまでの高さ（すなわち背丈）Hcは、h 1、h 2、h 3、h 4、h 5、h 6及びh 7の和である。ヒューズ端子の高さHfには、第1層間絶縁膜の膜厚h 2及び第2層間絶縁膜の膜厚h 4が含まれないので、チップ端子の高さHcは、第1層間絶縁膜の膜厚h 2と第2層間絶縁膜の膜厚h 4の和だけ高くなっている。

【0042】

よって、COG方式のデバイスチップ10を、外部機器に接続するために、帯電性の高い外部基板（例えば、ガラスやセラミック基板）へ近づけた際に、ヒューズ端子より高く形成されているチップ端子が先に接触する。外部基板に帯電していた静電気は、チップ端子の保護回路を通して放電される。よって、ヒューズ端子に静電気による放電は起こらず、ヒューズ回路が静電破壊されることを防ぐことができる。

【0043】

次に図3～図5を参照して、この発明の第1の実施の形態に係る半導体装置の製造方法につき説明する。

【0044】

シリコン基板100上に、フィールド酸化膜102が形成されている。このフィールド酸化膜102は、公知の熱酸化法によって形成することができる。

【0045】

このフィールド酸化膜102を含むシリコン基板100上に、配線用のポリシリコン膜104を形成する（図3（A））。このポリシリコン膜104を公知のホトリソ・エッチング技術により、パターンニングする。ヒューズ端子形成領域1

01a内のポリシリコン形成領域106aには、ポリシリコン膜104aが、チップ端子形成領域101b内のポリシリコン形成領域106bには、ポリシリコン膜104bが形成される(図3(B))。

【0046】

次に、第1層間絶縁膜108を、例えば、CVD (Chemical Vapor Deposition) 法により酸化膜(膜厚 $0.6\mu\text{m}$)で形成する(図3(C))。

【0047】

ポリシリコン膜104aを第1メタル膜114と直接接続するために、第1開口部110を形成する。公知のホトリソ・エッチング技術により、第1層間絶縁膜108の第1開口領域112aに第1開口部110を形成する(図3(D))。この開口部110は、第1メタル形成領域116a及び第2開口領域122aよりも小さい領域に設定してある。

【0048】

配線用の第1メタル膜114を、例えば、スパッタリングによりアルミニウム(A1)(膜厚 $0.5\mu\text{m}$)で形成する(図3(E))。

【0049】

公知のホトリソ・エッチング技術により、第1メタル膜114をパターニングする。ヒューズ端子形成領域内の第1メタル形成領域116aには、第1メタル膜114aが、チップ端子形成領域内の第1メタル形成領域116bには、第1メタル114bが形成される(図4(A))。

【0050】

第2層間絶縁膜118を、例えば、CVD (Chemical Vapor Deposition) 法により酸化膜(膜厚 $0.6\mu\text{m}$)で形成する(図4(B))。

【0051】

第1メタル膜114aを第2メタル膜124と直接接続するために、第2層間絶縁膜118の第2開口領域122aに第2開口部120を形成する(図4(C))。

【0052】

配線用の第2メタル膜124を例えば、スパッタリングによりアルミニウム(

A1) (膜厚 $1\ \mu\text{m}$) で形成する (図 4 (D))。

【0053】

公知のホトリソ・エッチング技術により、第2メタル膜124をパターンニングする。ヒューズ端子形成領域内の第2メタル形成領域126aには、第2メタル膜124aが、チップ端子形成領域内の第2メタル形成領域126bには、第2メタル124bが形成される。このとき、ヒューズ端子形成領域内の第1メタル膜114aが、第2メタル膜124と同時にエッチングされ、第2メタル膜124aと同一の大きさの第1メタル膜114a' となる (図5 (A))。また、HF (フッ化水素酸) を用いたウエットエッチングを用いた場合には、第2層間絶縁膜118の下部に存在する第1メタル膜がエッチングされる。

【0054】

保護膜128をCVD法により酸化膜 (膜厚 $2\ \mu\text{m}$) で形成する (図5 (B))。

【0055】

ホトリソ・エッチング技術により、保護膜開口領域130a、130bに保護膜開口部129a、129bを形成する (図5 (C))。

【0056】

バンプ形成領域134a、134bに金属膜を形成する (図示せず)。金属膜の材料には、チタン (Ti) と高融点金属 (タングステン (W)、パラジウム (Pd) 等) の合金が用いられる。バンプ形成領域134a及び134bの大きさは、保護膜開口領域130a及び130bよりも大きい領域を適宜設定する。この金属膜は、メッキ法により形成するバンプの接着を良くするために形成する。

【0057】

メッキ法により、バンプ132a、132bを、この金属膜上に、例えば、金 (Au) またはハンダ (膜厚 $50\ \mu\text{m}$) で形成する (図5 (D))。ここでも、図2 (B) と同様に、バンプ132a及び132bの中間部分は省略して示している。

【0058】

上述の製造工程によって、この発明の第1の実施の形態の半導体装置が製造で

きる。すなわち、チップ端子の基板表面から頂面までの高さが、ヒューズ端子の基板表面から頂面までの高さより高く形成されたデバイスチップ10が形成される。また、第2メタル膜124のエッチングの際にヒューズ端子の第1メタル114aを同時にエッチングすることにより、第2メタル膜124aと第1メタル膜114a'の形状を容易に同一にすることができる。

【0059】

上述した説明から明らかなように、この実施の形態では、チップ端子の基板表面から頂面までの高さが、ヒューズ端子の基板表面から頂面までの高さより高いため、外部機器と接続する際に、チップ端子の方がヒューズ端子よりも先に外部基板と接触する。外部基板に帯電していた静電気は、チップ端子に設置されている保護回路が吸収する。静電気サージの流入は、外部機器と半導体チップの電位が等しくなったとき、すなわち、チップの静電容量（数pFから数10pF程度）に充電される分の電荷が機器側から供給された時点で終了するので、放電は、数10ピコ秒から、せいぜい数ナノ秒程度の一瞬である。チップ端子が接触した時点で、一瞬にして放電は終了するので、ヒューズ端子が外部機器と接触するときには、静電気はすでに放電され、外部機器と半導体チップは同電位となっている。よって、ヒューズ端子が静電気の放電による影響を受けることはなく、すなわち、静電破壊を起こすことはない。

【0060】

ヒューズ端子の基板表面から頂面までの高さHfを第1層間絶縁膜及び第2層間絶縁膜を介さず、ポリシリコン膜、第1メタル膜及び第2メタル膜を直接接続することで低くし、結果としてチップ端子の基板表面から頂面までの高さHcをヒューズ端子の頂面の高さHfよりも高く形成しているだけなので、新たなチップ占有面積の増加を必要としない。よって、新たにヒューズ端子用の保護回路を形成する場合に比べて、大きな設計変更を必要とせず、集積度も維持できる。

【0061】

<第2の実施の形態>

図6は、第2の実施の形態の半導体装置（デバイスチップ）140を上面から見た概略図である。

【 0 0 6 2 】

デバイスチップ 1 4 0 の表面には、第 1 の実施の形態と同様に外周に沿ってチップ端子のバンプ 1 3 2 b が形成され、その内側にヒューズ端子のバンプ 1 3 2 a が形成されている。第 2 の実施の形態では、放電に寄与する端子としてヒューズ端子の周辺にダミー端子のバンプ 1 3 2 c が形成されている。ヒューズ保護用のダミー端子のバンプ 1 3 2 c がヒューズ端子のバンプ 1 3 2 a のまわりを枠で囲むように形成されている。

【 0 0 6 3 】

図 7 (A) は、図 6 のヒューズ端子のバンプ 1 3 2 a 及びダミー端子のバンプ 1 3 2 c の形成されている領域を拡大した図である。直線上に並んだ複数のヒューズ端子のバンプ 1 3 2 a を枠状に囲むようにダミー端子のバンプ 1 3 2 c が形成されている。

【 0 0 6 4 】

図 7 (B) は、図 7 (A) に示した破線 Y-Y' での断面図である。ヒューズ端子 1 0 3 a は、第 1 の実施の形態と同様の積層構造になっている。すなわち、フィールド酸化膜 1 0 2 上に、ポリシリコン膜 1 0 4 a、第 1 メタル膜 1 1 4 a' 及び第 2 メタル膜 1 2 4 a が順に積層され、第 2 メタル膜 1 2 4 a 上に形成された保護膜 1 2 8 の開口部を含む領域にバンプ 1 3 2 a が形成されている。ダミー端子 1 0 3 c は、デバイスチップ上側からみた形状が、直線状に並んだヒューズ端子 1 0 3 a を枠のように囲む形になっているが、第 1 の実施の形態のチップ端子と同様の積層構造になっている。すなわち、フィールド酸化膜 1 0 2 上に、ポリシリコン膜 1 0 4 c、第 1 層間絶縁膜 1 0 8、第 1 メタル膜 1 1 4 c、第 2 層間絶縁膜 1 1 8 及び第 2 メタル膜 1 2 4 c が順に積層され、第 2 メタル膜 1 2 4 c の上に形成された開口部を含む領域にバンプ 1 3 2 c が形成されている。バンプ 1 3 2 c の表面を頂面 1 3 8 c とし、高さを比較する際には、もっとも高い位置を頂面の高さとする。ヒューズ端子 1 0 3 a には、第 1 の実施の形態と同様に、第 1 層間絶縁膜 1 0 8 及び第 2 層間絶縁膜 1 1 8 が積層されていない。よって、ダミー端子 1 0 3 c のチップ基板表面 1 3 6 から頂面 1 3 8 c までの高さは、ヒューズ端子 1 0 3 a のチップ基板表面 1 3 6 から頂面 1 3 8 a までの高さよ

り 2 つの層間絶縁膜の厚さの分だけ高くなっている。第 1 の実施の形態では、放電に寄与する端子が、チップ端子であったため、ポリシリコン膜 104b、第 1 メタル膜 114b 及び第 2 メタル膜 124b のいずれかの導電層によって、デバイスチップの電源線へ電氣的に接続されていた。第 2 の実施の形態では、放電に寄与する端子はダミー端子であるので、デバイスチップの電源線へ電氣的に接続されていない。

【0065】

このように、ヒューズ端子のバンプ 132a の周囲を、ダミー端子のバンプ 132c で囲むことにより、外部機器と接続する際に、基板が外部機器の表面に対して傾いた状態で接触した際にも、ヒューズ端子ではなく隣接されたヒューズ保護用端子すなわちダミー端子が先に接する。ダミー端子のバンプ 132c が外部基板と接触した時点で、ダミー端子と接続される外部基板が同電位になる。よって、外部基板が帯電していても、確実にダミー端子に先に放電を起こすので、ヒューズ端子が静電気で破壊されるのを防止できる。

【0066】

図 8 に第 2 の実施の形態の変形例として、ダミー端子をデバイスチップの基準電圧を供給する電源配線 150 に保護素子 148 を介して電氣的に接続した例を示す。ダミー端子は、第 1 メタル膜 114c 或いは第 2 メタル膜 124c によって、デバイスチップの電源配線 150 に保護素子 148 を介して電氣的に接続されている。この場合、外部基板と接触して静電気の放電が起こった際に、保護素子 148 を介して確実に静電気を電源配線に対して放出し、外部機器と基板を同電位にするので、一層確実にヒューズ端子を静電破壊から保護することができる。

【0067】

ここで、保護素子 148 は、ダイオードで形成されたものを一例として示したが、一般的に用いられている保護素子、例えば、トランジスタなどの別の素子によって構成しても良い。

【0068】

上述の実施の形態では、多層配線層における各配線層すなわちメタル膜が、第

1 及び第 2 メタル膜の 2 層の場合について説明した。メタル膜の積層を 2 層ではなくさらに多層にすれば、層間絶縁膜の積層数も増加する。よって、層間絶縁膜の積層数に比例して各層間絶縁膜の膜厚の和は増加し、ヒューズ端子とチップ端子の基板表面から頂面までの高さの差が大きくなる。たとえば、メタル膜の積層を 3 層にし、ヒューズ端子形成領域の第 3 層間絶縁膜（第 2 メタル膜と第 3 メタル膜の間に形成する絶縁膜）に第 1 及び第 2 開口部と同様の第 3 開口部を形成して第 3 メタル膜と第 2 メタル膜を直接接続するように形成すれば、積層した第 3 層間絶縁膜の膜厚がヒューズ端子とチップ端子の頂面の高さの差に加えられる。よって、ヒューズ端子の各メタル膜は直接接続するように形成すれば、メタル膜の積層を増やして多層配線にするほど、ヒューズ端子とチップ端子の頂面の高さの差は大きくなり、より確実にチップ端子へ静電気が放電される。

【0069】

また、各層間絶縁膜を CVD により形成した後、CMP（chemical mechanical polishing：化学的機械的研磨）による平坦化を行っても良い。上述の実施の形態では、多層配線用のメタル膜を 2 層としたので、積層した膜の段差があまり大きくなり、CMP による平坦化はほとんど必要がない。しかしながら、メタル層の積層が多い場合（一般的に 4 層以上積層する場合）には、各層間絶縁膜形成後に CMP による平坦化を行い、段差の形成を緩和する。本発明は、この CVD 技術にも適用可能である。この場合、CVD によって形成する層間絶縁膜の膜厚は、CMP によって減少する膜厚を考慮して、CMP 後に残存する層間絶縁膜の膜厚の 2～3 倍に設定すると良い。

【0070】

【発明の効果】

この発明の半導体装置によれば、放電に寄与する端子の頂面がヒューズ端子の頂面よりも高く形成されているので、帯電した外部基板に実装する際にヒューズ端子よりも先に放電に寄与する端子が接触し静電気が放電される。ヒューズ端子が外部基板の端子と接触するときには、すでに静電気は放電されているため、ヒューズ端子に対して静電気の放電が起こることはない。よって、ヒューズを搭載したデバイスの静電破壊を防ぐことができる。

【0071】

また、放電に寄与する端子の基板表面から頂面までの高さを、ヒューズ端子の基板表面から頂面までの高さより高く形成されているだけなので、ヒューズ端子に新たに保護回路を設ける必要が無く、チップ占有面積が増大しない。

【0072】

この発明の半導体装置の製造方法によれば、ヒューズ端子の導電層を直接積層するように形成する以外は、同一の材料で同一に成膜することにより、容易に放電寄与端子のチップ基板表面から頂面までの高さを、ヒューズ端子のチップ基板表面から頂面までの高さより高く形成することができる。また、一般的な製造工程を組み合わせているので、特殊な工程を加える必要が無く、広い範囲のデバイスに対して適用できる。

【図面の簡単な説明】**【図1】**

この発明による第1の実施の形態の半導体装置についての説明に供する図である。

【図2】

(A)、(B)は、この発明による第1の実施の形態の半導体装置の構造についての説明に供する図である。

【図3】

(A)～(E)は、この発明による第1の実施の形態の製造工程についての説明に供する断面図である。

【図4】

(A)～(D)は、この発明による第1の実施の形態の製造工程についての説明に供する断面図である。

【図5】

(A)～(D)は、この発明による第1の実施の形態の製造工程についての説明に供する断面図である。

【図6】

この発明による第2の実施の形態の半導体装置についての説明に供する図であ

る。

【図 7】

(A)、(B) は、この発明による第 2 の実施の形態の半導体装置の構造についての説明に供する図である。

【図 8】

この発明の第 2 の実施の形態の半導体装置の変形例を示した図である。

【図 9】

ヒューズを搭載した増幅回路の一例を表した図である。

【図 1 0】

一般的な C O G 方式パッケージを概略的に表した図である。

【図 1 1】

一般的な保護回路を表した回路図である。

【図 1 2】

C O G 方式の実装工程における静電気放電現象の模式図である。

【符号の説明】

1 0、1 4 0：デバイスチップ

1 0 0：S i 基板

1 0 1 a：ヒューズ端子形成領域

1 0 1 b：チップ端子形成領域

1 0 2：フィールド酸化膜

1 0 3 a：ヒューズ端子

1 0 3 b：チップ端子

1 0 3 c：ダミー端子

1 0 4、1 0 4 a、1 0 4 b、1 0 4 c：ポリシリコン膜

1 0 6 a、1 0 6 b：ポリシリコン形成領域

1 0 8：第 1 層間絶縁膜

1 1 0：第 1 開口部

1 1 2 a：第 1 開口領域

1 1 4、1 1 4 a、1 1 4 a'、1 1 4 b、1 1 4 c：第 1 メタル膜

116 a、116 b：第1メタル形成領域
118：第2層間絶縁膜
120：第2開口部
122 a：第2開口領域
124、124 a、124 b、124 c：第2メタル膜
126 a、126 b：第2メタル形成領域
128：保護膜
129 a、129 b：保護膜開口部
130 a、130 b：保護膜開口領域
132 a、132 b、132 c：バンパ
134 a、134 b：バンパ形成領域
136：チップ基板表面
138 a、138 b、138 c：頂面
148：保護素子
150：基準電圧の電源配線
200：オペアンプ
202、218：抵抗素子
204：帰還抵抗
206 a、206 b、206 c：ヒューズ
208 a、208 b、208 c：保護抵抗素子
210 a、210 b、210 c：プルアップ抵抗素子
212：チップ端子
213：内部回路
214、216：保護ダイオード
220：インバータ
230：デバイスチップ
232：チップ端子のバンパ
234：ヒューズ端子のバンパ
240：外部基板

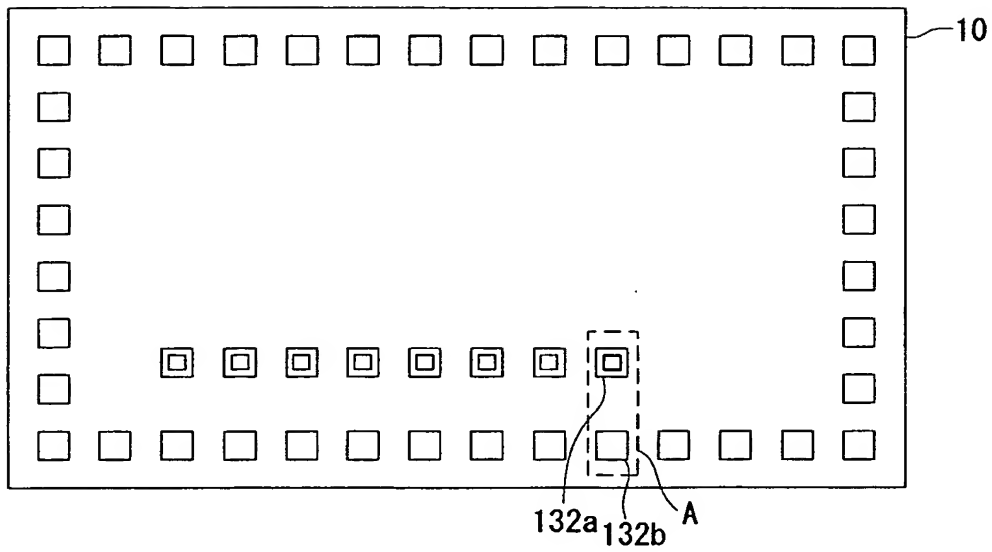
2 4 2 : 外部端子

2 4 4 : 接続済のデバイスチップ

2 4 6 : 放電

【書類名】 図面

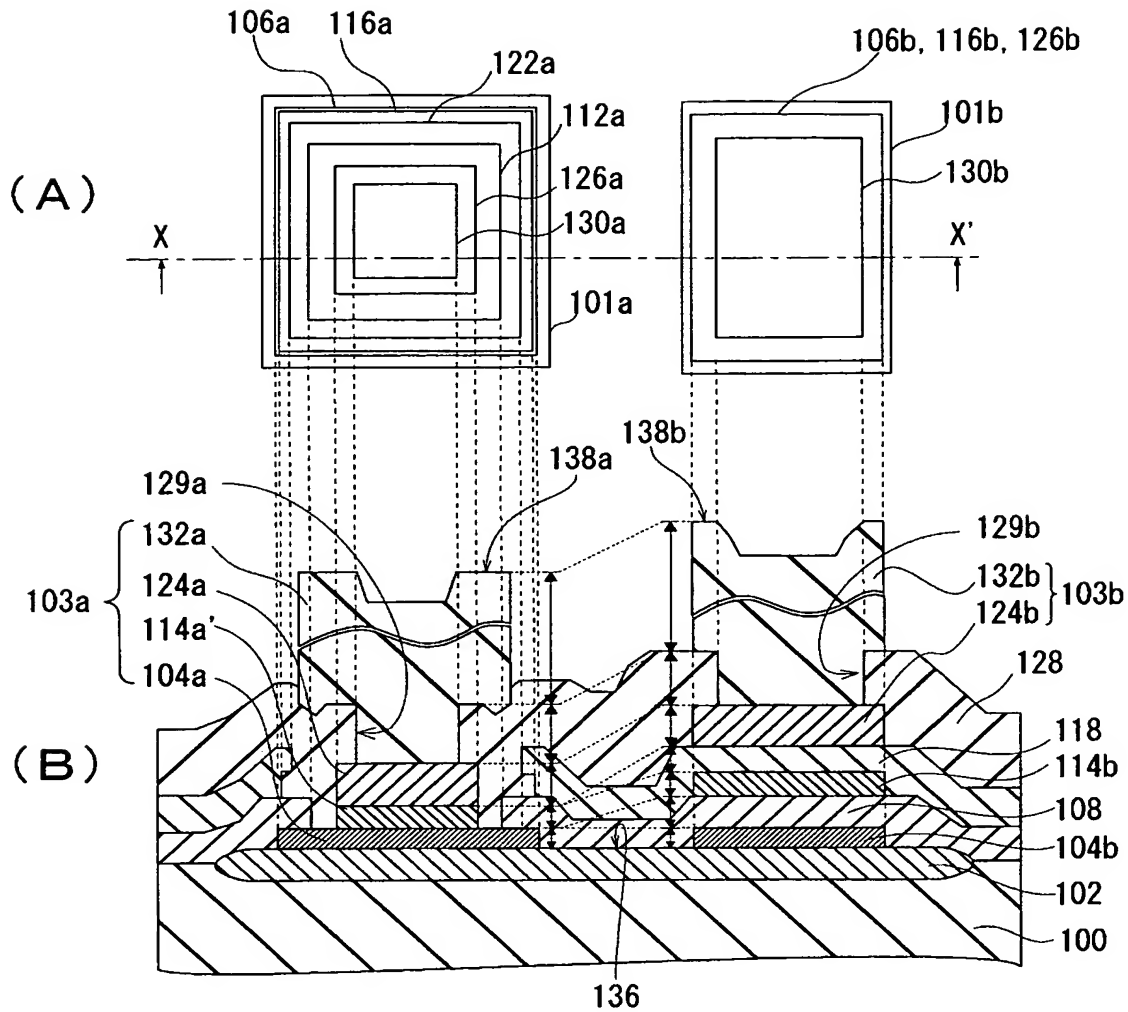
【図 1】



10: デバイスチップ
132a, 132b: バンプ

第 1 の実施の形態の半導体装置

【図 2】

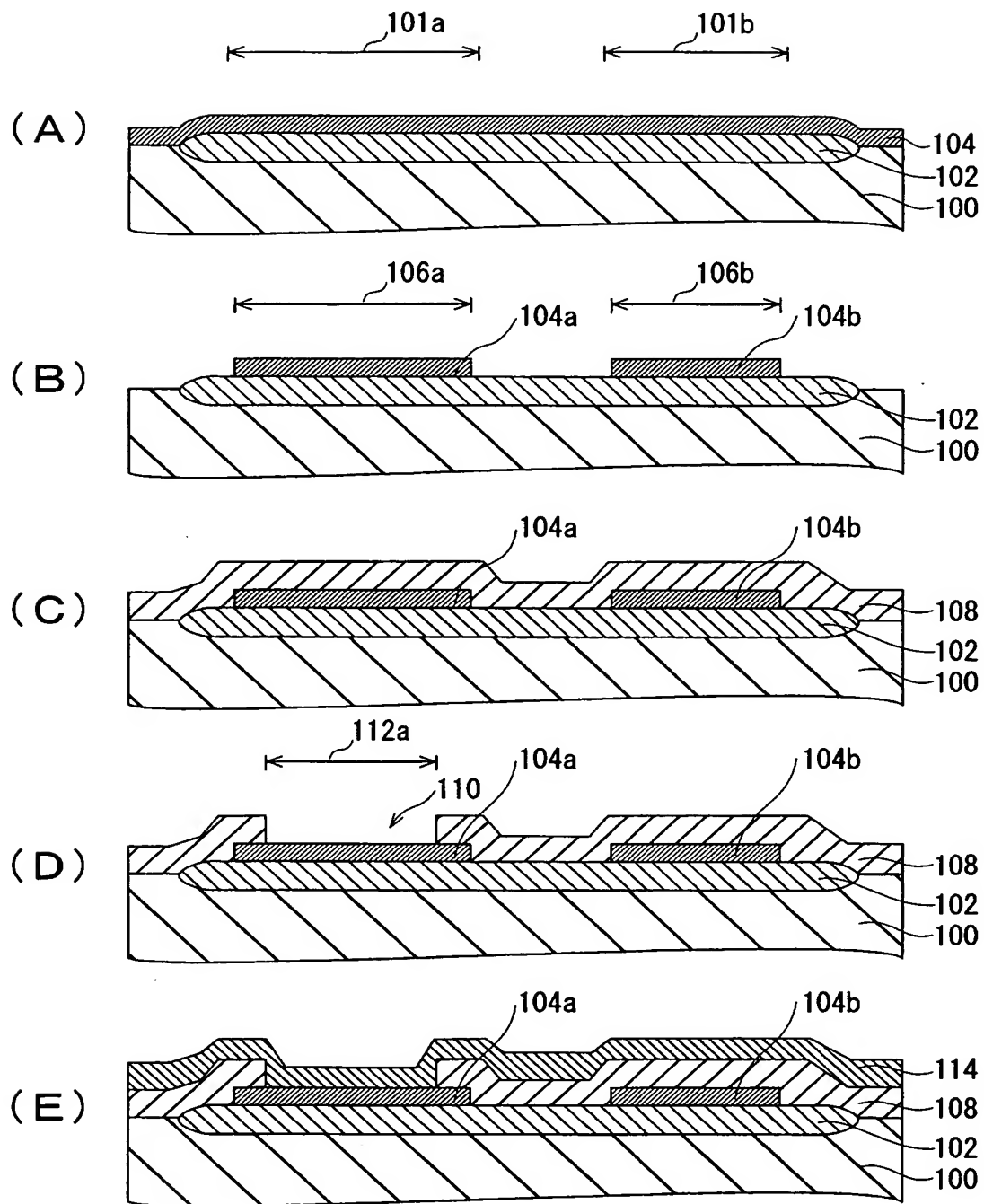


100: Si基板
 101b: チップ端子形成領域
 103a: ヒューズ端子
 104a, 104b: ポリシリコン膜
 108: 第1層間絶縁膜
 114a', 114b: 第1メタル膜
 118: 第2層間絶縁膜
 124a, 124b: 第2メタル膜
 128: 保護膜
 130a, 130b: 保護膜開口領域
 136: チップ基板表面

101a: ヒューズ端子形成領域
 102: フィールド酸化膜
 103b: チップ端子
 106a, 106b: ポリシリコン形成領域
 112a: 第1開口領域
 116a, 116b: 第1メタル形成領域
 122a: 第2開口領域
 126a, 126b: 第2メタル形成領域
 129a, 129b: 保護膜開口部
 132a, 132b: パンプ
 138a, 138b: 頂面

第1の実施の形態の半導体装置

【図 3】

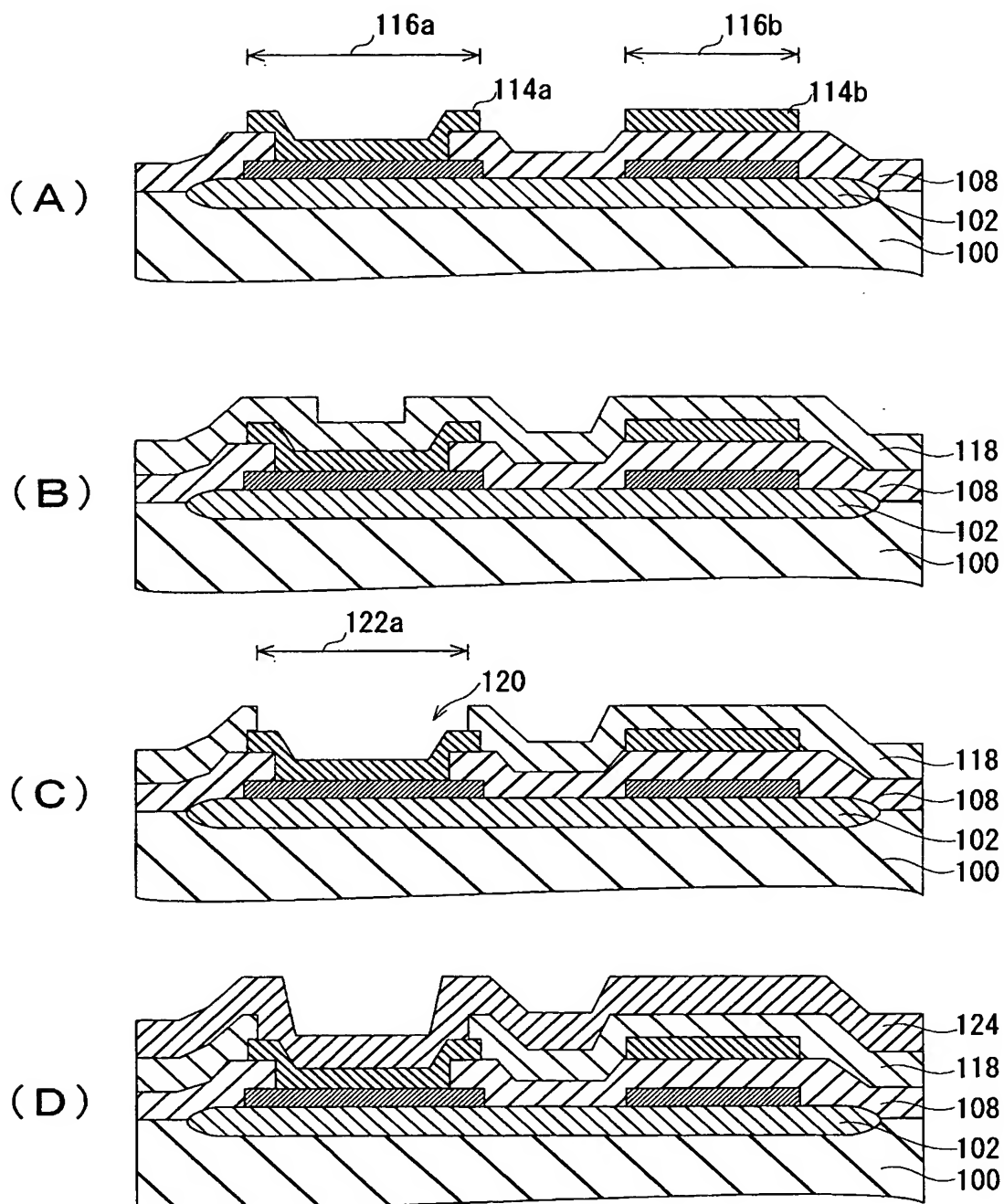


104: ポリシリコン膜
114: 第1メタル膜

110: 第1開口部

第 1 の実施の形態の半導体装置の製造工程図

【図 4】

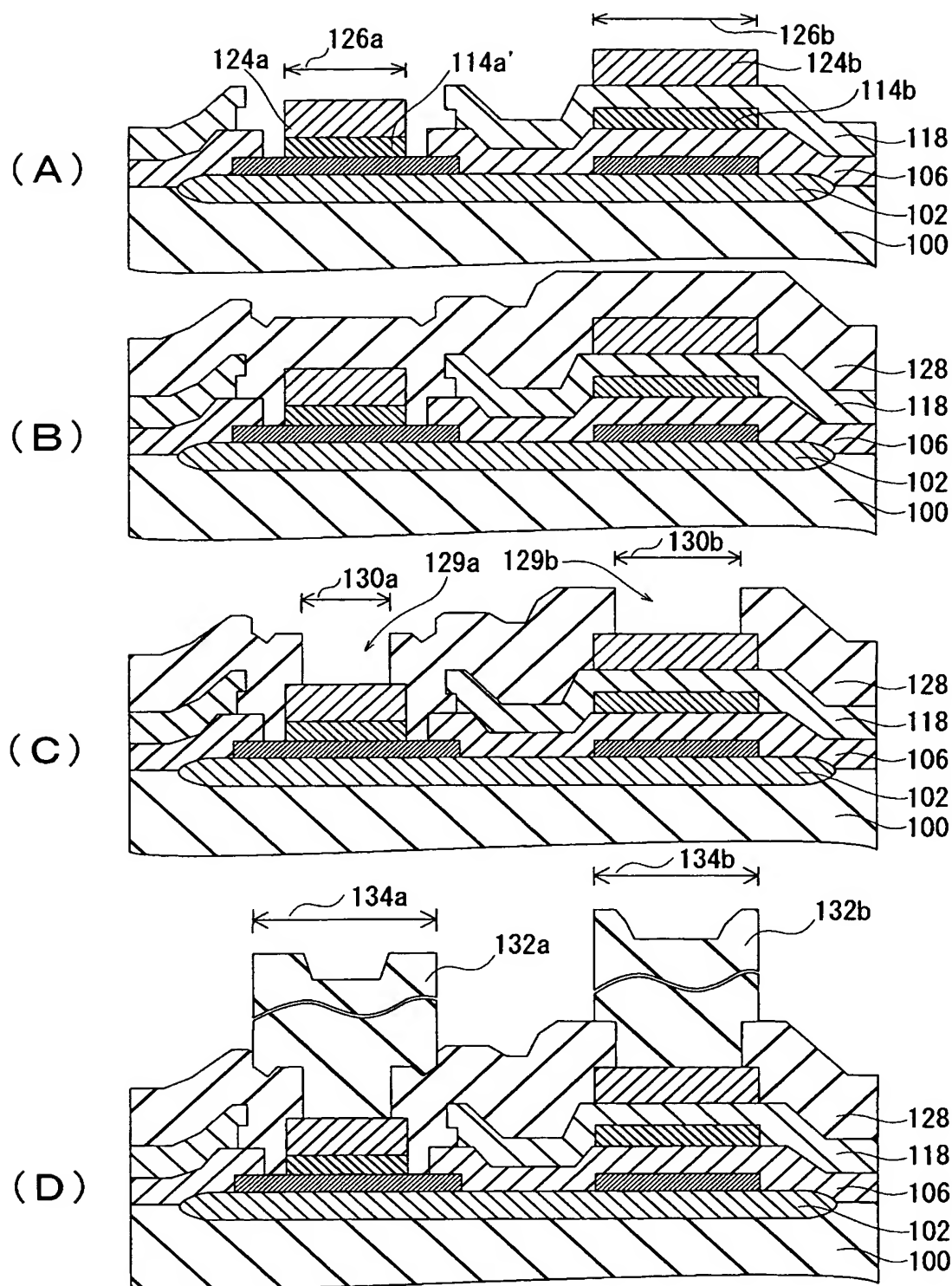


120: 第2開口部

124: 第2メタル膜

第 1 の実施の形態の半導体装置の製造工程図

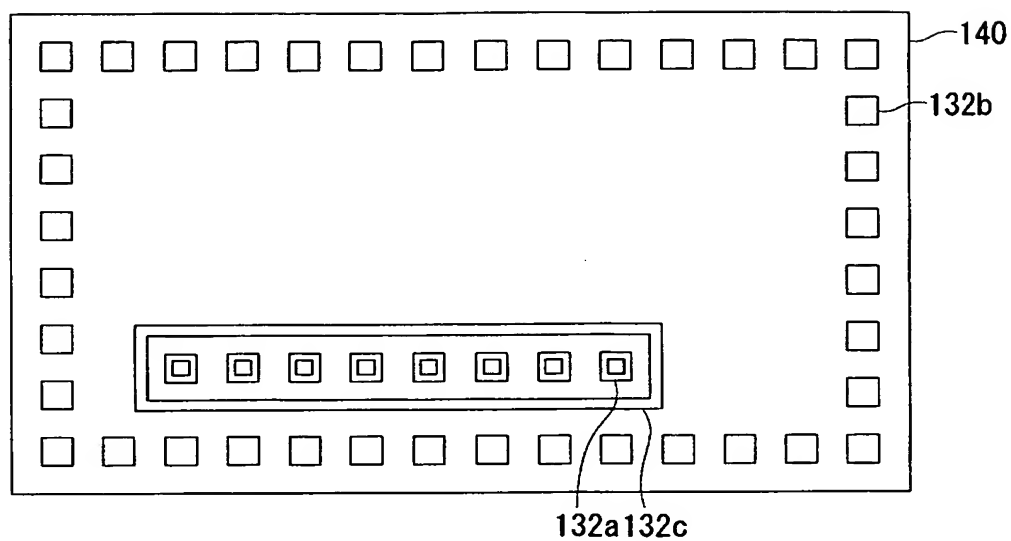
【図 5】



134a, 134b: バンプ形成領域

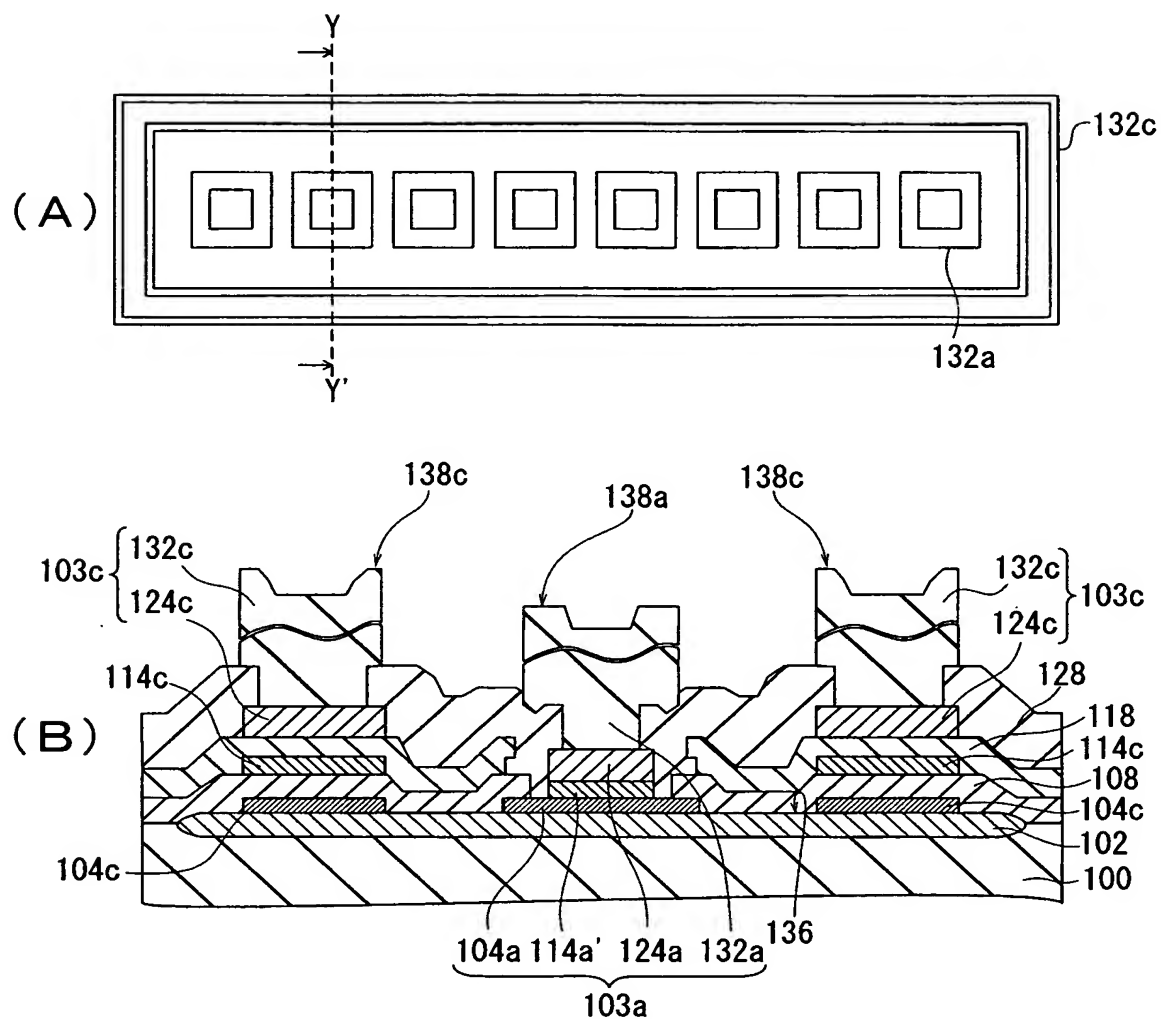
第 1 の実施の形態の半導体装置の製造工程図

【図 6】



140: デバイスチップ 132c: バンプ
第 2 の実施の形態の半導体装置

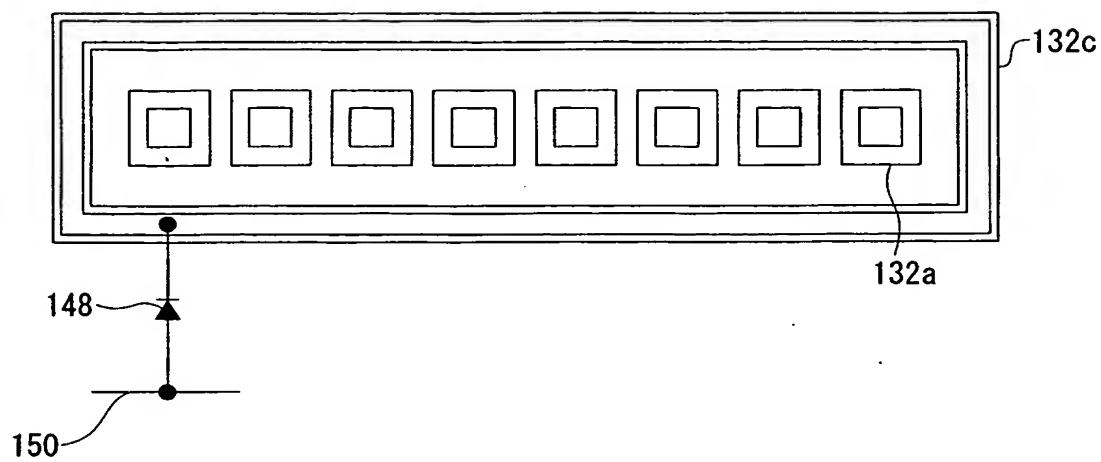
【図 7】



103c: ダミー端子	104c: ポリシリコン膜	114c: 第1メタル膜
124c: 第2メタル膜	132c: パンプ	138c: 頂面

第2の実施の形態の半導体装置

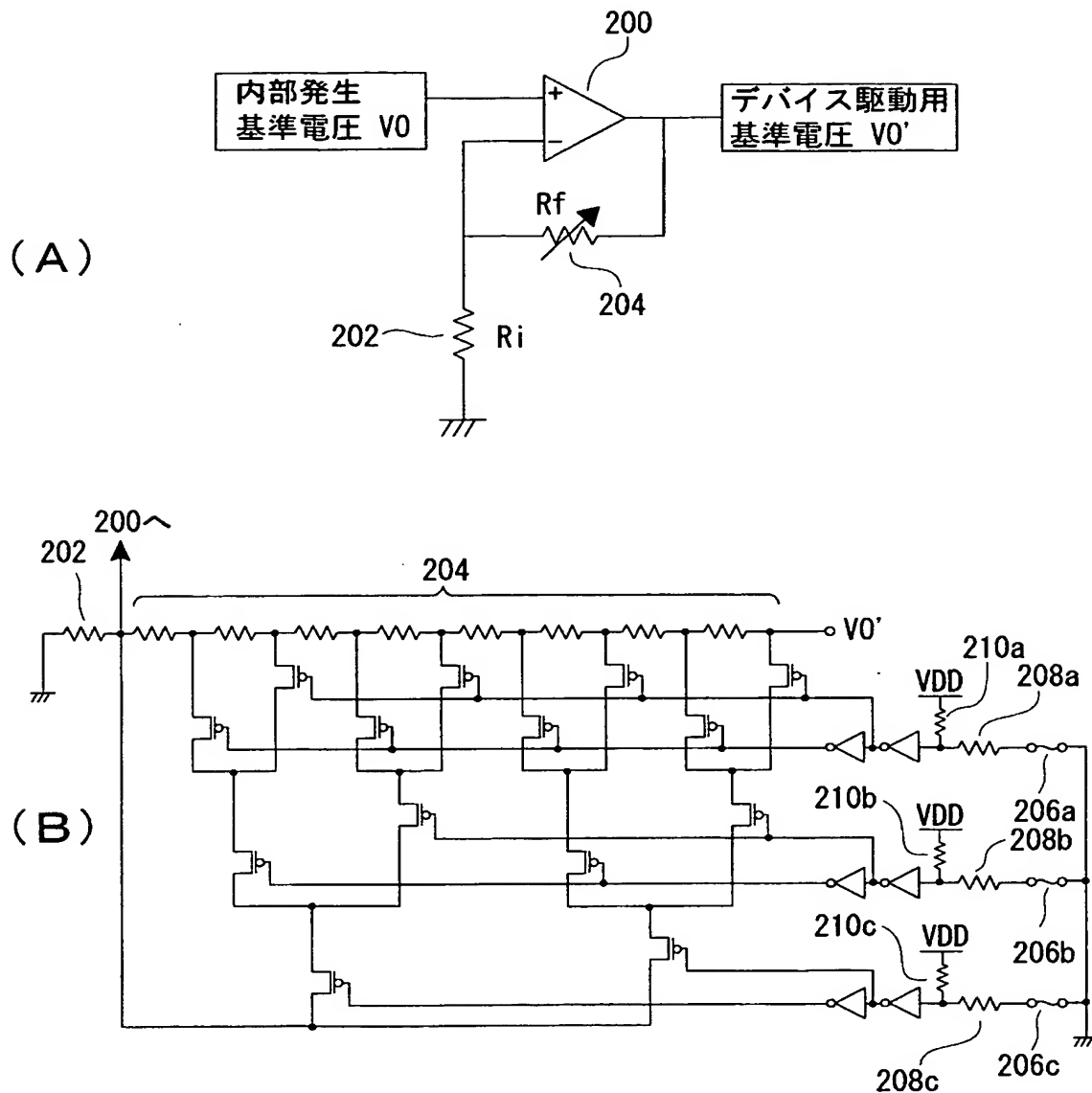
【図 8】



148: 保護素子 150: 基準電圧の電源配線

変形例の半導体装置

【図 9】



200: オペアンプ

202: 抵抗素子

204: 帰還抵抗

208a, 208b, 208c: 保護抵抗素子

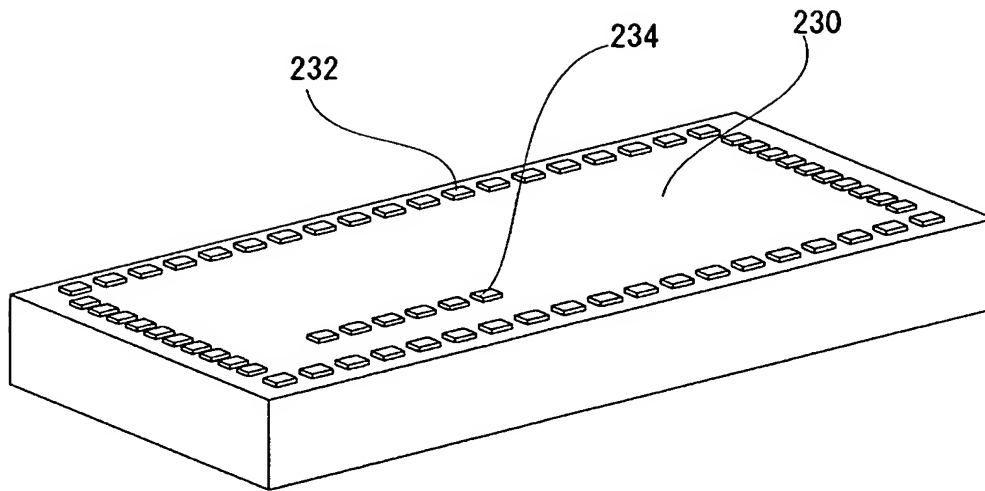
202: 抵抗素子

206a, 206b, 206c: ヒューズ

210a, 210b, 210c: ブルアップ抵抗素子

一般的なデバイス駆動用基準電圧の調整例

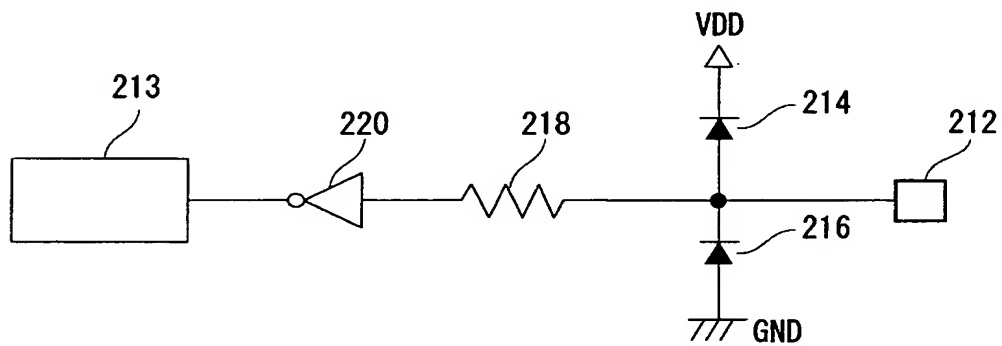
【図 10】



230: デバイスチップ 232: チップ端子のバンプ
234: ヒューズ端子のバンプ

一般的なCOG方式パッケージの概略図

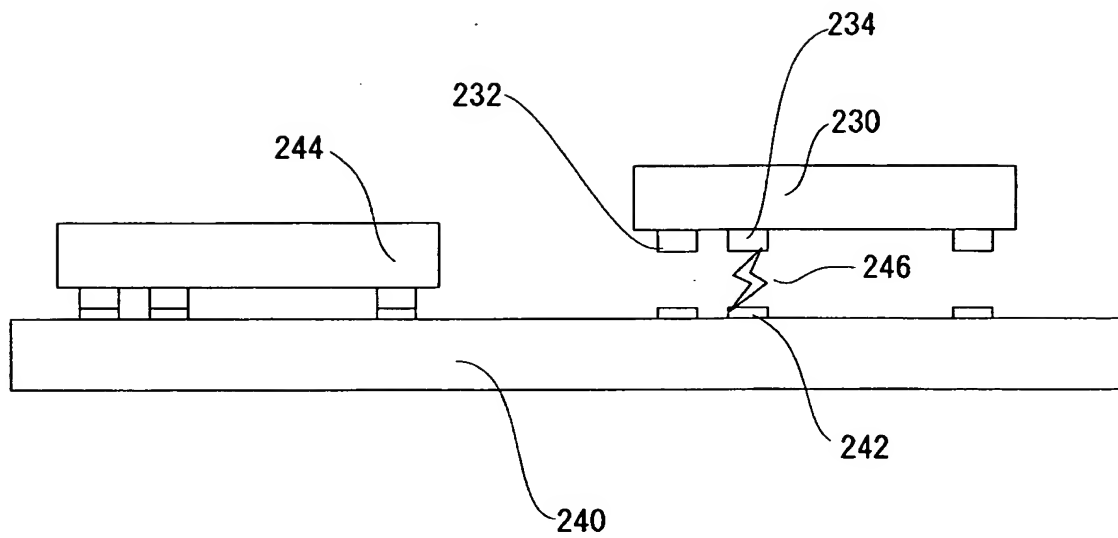
【図 11】



212: チップ端子 213: 内部回路
214, 216: 保護ダイオード 218: 抵抗素子
220: インバータ

一般的な保護回路

【図 12】



240: 外部基板 242: 外部端子
244: 接続済のデバイスチップ 246: 放電

COG方式の実装工程における静電気放電現象の模式図

【書類名】 要約書

【要約】

【課題】 ヒューズを搭載した回路をもつデバイスチップをCOG方式で実装する際におこる静電破壊をデバイスチップ上の占有面積を増大させずに防ぐこと。

【解決手段】 チップ基板表面136に形成されたチップ端子103bのチップ基板表面から頂面138bまでの高さがヒューズ端子103aのチップ基板表面から頂面138aまでの高さより高く形成されている。これにより、COG方式で実装する際に、静電気の放電がチップ端子側におこるため、ヒューズ端子側に静電気の放電が起こらない。

【選択図】 図2

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 6 0 2 3 2
受付番号	5 0 3 0 0 9 4 1 0 1 2
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 6 月 6 日

< 認定情報・付加情報 >

【提出日】	平成15年 6月 5日
-------	-------------

次頁無

特願 2 0 0 3 - 1 6 0 2 3 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1 . 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社